

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-351976

(43)Date of publication of application : 21.12.2001

(51)Int.Cl.

H01L 21/768  
H01L 21/28  
H01L 21/316  
H01L 21/3205

(21)Application number : 2001-117668

(71)Applicant : INTERNATL BUSINESS MACH CORP &lt;IBM&gt;

(22)Date of filing : 17.04.2001

(72)Inventor : DALTON TIMOTHY J  
CHRISTOPHER V JARNES  
JOYCE C RYUU  
PURUSHOTHAMAN SAMPATH

(30)Priority

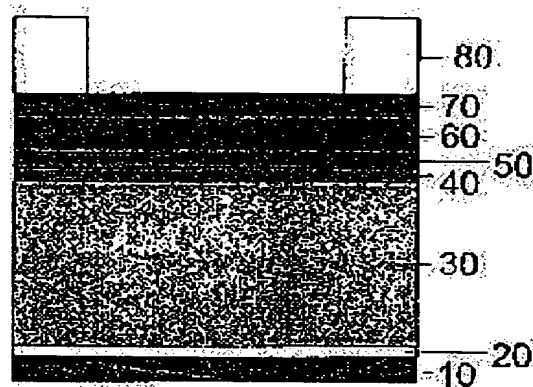
Priority number : 2000 550943 Priority date : 17.04.2000 Priority country : US

## (54) METHOD FOR PROTECTING LOW-PERMITTIVITY LAYER ON SEMICONDUCTOR MATERIAL

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a permanent protection hard mask for protecting the dielectric characteristics of a main dielectric layer that has undesired low permittivity of a semiconductor device due to undesired increase in permittivity, undesired increase in current leakage, and a low device yield caused by surface scratch, when a continuous treatment processing is conducted.

**SOLUTION:** This protection hard mask has a one- or two-layer sacrificial hard mask that is especially effective, when interconnection structure such as a via opening and/or a line is formed between low-permittivity materials, while a final product is manufacture. The sacrificial and permanent hard masks are formed of the same precursor substance in a single process, where process conditions are changed for giving a film having different permittivity. Most preferably, dual damascene structure has three-layer hard masks 40, 50, and 60 that are formed on the inter-level dielectric with bulk low permittivity, before the interconnection structure of the inter-level dielectric is formed.



## LEGAL STATUS

[Date of request for examination] 17.04.2001

[Date of sending the examiner's decision of rejection] 05.07.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-351976  
(P2001-351976A)

(43) 公開日 平成13年12月21日 (2001. 12. 21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L	21/768	H 0 1 L	L 4 M 1 0 4
	21/28		M 5 F 0 3 3
	21/316		V 5 F 0 5 8
	21/3205		C
		21/88	K
審査請求 有 請求項の数30 O L (全 14 頁)			

(21) 出願番号 特願2001-117668(P2001-117668)  
(22) 出願日 平成13年4月17日 (2001. 4. 17)  
(31) 優先権主張番号 09/550943  
(32) 優先日 平成12年4月17日 (2000. 4. 17)  
(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531  
インターナショナル・ビジネス・マシー  
ズ・コーポレーション  
INTERNATIONAL BUSIN  
ESS MASCHINES CORPO  
RATION  
アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)  
(74) 代理人 100086243  
弁理士 坂口 博 (外2名)

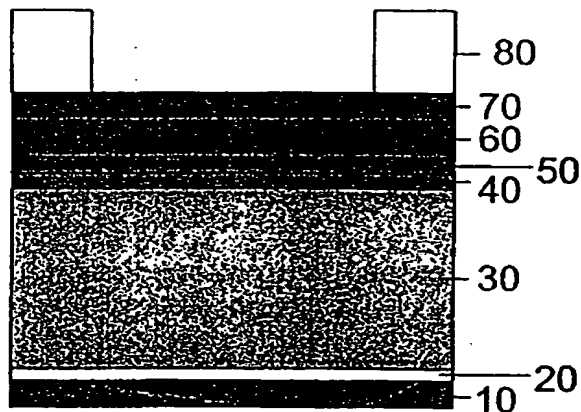
最終頁に続く

(54) 【発明の名称】 半導体材料上の低誘電率層を保護する方法

(57) 【要約】

【課題】 誘電率の不所望な増大による半導体デバイスの不所望な低誘電率、不所望な電流漏洩の増大、および連続処理工程の際の表面スクラッチによる低いデバイス歩留まりを有する主誘電体層の誘電体特性を保護する永久的保護ハードマスクを提供する。

【解決手段】 保護ハードマスクは、最終製品を製造する際に、パイア開口および／またはラインのような相互接続構造が、低誘電率材料間に形成されるときに特に有効な1層または2層の犠牲的ハードマスクを備える。犠牲的ハードマスク層および永久的ハードマスク層は、プロセス条件が、異なる誘電率の膜を与えるために変化する単一工程で同一前駆物質から形成される。最も好適には、デュアルダマシン構造は、レベル間誘電体の相互接続構造を形成する前に、バルク低誘電率のレベル間誘電体上にそれぞれ形成される3層ハードマスク40、50、60を有する。



## 【特許請求の範囲】

【請求項 1】半導体材料上の低誘電率層を、半導体材料の処理の際に保護する方法であって、半導体材料よりなる基板と、前記基板上に任意のエッチング停止層とを設ける工程と、前記半導体材料上に、バルク低誘電率材料を付着する工程と、前記バルク低誘電率材料上に、低誘電率材料よりなる第 1 のハードマスク層を付着する工程と、前記第 1 のハードマスク層上に設けられる犠牲的な第 2 のハードマスク層を付着する工程と、前記半導体材料、前記ハードマスク層、および前記バルク低誘電率材料を連続処理する工程と、前記第 2 のハードマスク層を除去し、前記バルク低誘電率材料上の前記第 1 のハードマスク層を永久に残す工程とを含む、前記第 1 のハードマスク層の材料が、前記バルク低誘電率材料を保護して、連続処理の際にその誘電率の変化を実質的に防ぐようにする、方法。

【請求項 2】第 1 のハードマスク層を付着する工程は、約 2.5 ～ 8.0 の誘電率を有する低誘電率材料を付着する工程を含む、請求項 1 に記載の方法。

【請求項 3】前記第 1 および第 2 のハードマスク層を付着する工程は、シリコンナイトライド、シリコンカーバイド、アモルファス水素化シリコンカーバイド、シリコンカーバイドナイトライド、有機シリケートガラス、シリコンリッチオキサイド、二酸化シリコン、テトラエチルオルトシリケート、ホスホシリケート、有機シロキサンポリマー、炭素ドーブシリケートガラス、水素ドーブシリケートガラス、シルセスキオキサンガラス、スピノングラス、またはフッ素化シリケートガラスを付着する工程を含む、請求項 2 に記載の方法。

【請求項 4】第 1 のハードマスク層を付着する工程は、約 10 ～ 200 nm の厚さを有する第 1 のハードマスク層を付着する工程を含む、請求項 1 に記載の方法。

【請求項 5】犠牲的な第 2 のハードマスク層上に犠牲的な第 3 のハードマスク層を付着する工程をさらに含み、前記第 3 のハードマスク層は、連続処理の際に除去される、請求項 1 に記載の方法。

【請求項 6】相互接続構造を作製する前記連続処理の工程は、ハードマスク層内およびバルク低誘電率材料内に、開口を形成する工程と、このような開口を金属で充填する工程とを含み、前記基板から前記第 1 のハードマスク層上の領域への導電接続部を作製する、請求項 1 に記載の方法。

【請求項 7】前記相互接続構造内の過剰の金属を除去するための化学機械研磨工程をさらに含み、前記バルク低誘電率材料を、前記第 1 のハードマスク層によって、誘電率の不所望な増大、漏洩の不所望な増大、およびスクラッチングによる歩留まりの減少から保護する、請求項

6 に記載の方法。

【請求項 8】前記第 1 および第 2 のハードマスク層を付着する工程は、1 種類の前駆物質材料を用い、異なる誘電率を有する 2 つの膜を与えるために、付着条件を変える単一の付着工程を含む、請求項 1 に記載の方法。

【請求項 9】前記半導体材料の連続処理工程の際、前記バルク低誘電率材料は、露出されない、請求項 1 に記載の方法。

【請求項 10】前記バルク低誘電率材料内に、前記バルク低誘電率材料を、下部と上部とに分離する埋込みエッチング停止層を設ける工程をさらに含み、請求項 1 に記載の方法。

【請求項 11】前記バルク低誘電率材料内に、埋込みエッチング停止層を設ける工程において、前記バルク低誘電率材料は、上部と異なる組成を有する下部を含む、請求項 10 に記載の方法。

【請求項 12】相互接続構造を形成する方法であって、半導体基板を設ける工程と、前記半導体基板上に、バルク誘電体材料を付着する工程と、

前記バルク誘電体材料の誘電率にほぼ同じ誘電率を有する第 1 のハードマスク層を付着する工程と、

前記第 1 のハードマスク層上に、第 2 のハードマスク層を付着する工程と、

前記第 2 のハードマスク層上に、第 3 のハードマスク層を付着する工程と、

前記ハードマスク層および前記バルク誘電体材料を経る 1 つ以上のバイアスをエッチングする工程と、

前記バイアに導電材料を付着する工程と、過剰の前記導電材料を、前記第 3 および第 2 のハードマスク層が同時に除去される化学機械平坦化によって除去する工程と、

第 1 のハードマスク層を残す工程とを含む、方法。

【請求項 13】前記半導体基板と前記バルク誘電体材料との間にエッチング停止層を設ける工程をさらに含み、1 つ以上のバイアスをエッチングする際、前記エッチング停止層をエッチング除去する工程と、前記バイアに導電材料を付着する前に、前記バイアを洗浄する工程とを含む、請求項 12 に記載の方法。

【請求項 14】前記バルク誘電体材料内に埋込エッチング停止層を設ける工程をさらに含み、これにより、前記バルク誘電体材料を、下部と上部とに分離する、請求項 12 に記載の方法。

【請求項 15】前記バルク低誘電率材料内に埋込エッチング停止層を設ける工程において、前記バルク低誘電率材料は、上部と異なる組成を有する下部を含む、請求項 14 に記載の方法。

【請求項 16】前記バルク誘電率材料内に埋込エッチング停止層を設ける工程は、前記バルク誘電体材料を、下部と上部とに分離する工程を含み、前記上部は、前記下

部よりも厚く、1つ以上のバイアをエッチングする前記工程は、前記バルク誘電体材料の上部内の1つ以上のバイアを、前記埋込エッチング停止層までエッチングする工程と、前記埋込エッチング停止層の一部を除去する工程と、前記バルク誘電体材料の下部をエッチングする工程とを含む、請求項14に記載の方法。

【請求項17】前記バイアに導電材料を付着する前記工程の前に、前記バイアに拡散バリア材料を付着する工程をさらに含む、請求項12に記載の方法。

【請求項18】前記第1、第2、および第3のハードマスク層を付着する前記工程は、前記ハードマスク層の誘電率を変えるために、付着条件を変えながら、1種類の前駆物質を用いるような単一の付着工程で行う、請求項12に記載の方法。

【請求項19】前記ハードマスク層を経て、前記バルク誘電体材料まで、1つ以上のラインをエッチングする工程をさらに含む、請求項12に記載の方法。

【請求項20】バルク誘電体材料が、誘電率の不所望な変化から保護される中間半導体デバイスであって、基板と、前記基板上に設けられたバルク誘電体材料と、前記バルク誘電体材料上に設けられ、前記バルク誘電体とほぼ同じ誘電率を有する第1のハードマスク層と、前記中間半導体デバイス内に相互接続構造を形成する際に除去されるようにした第2のハードマスク層とを備えた、中間半導体デバイス。

【請求項21】前記第2のハードマスク層上に設けられた第3のハードマスク層をさらに備え、前記第3のハードマスク層が、前記中間半導体デバイス内に相互接続構造を形成する際に除去されるようにした、請求項20に記載の中間半導体デバイス。

【請求項22】前記基板と前記バルク誘電体材料との間に設けられたエッチング停止層をさらに備えた、請求項20に記載の中間半導体デバイス。

【請求項23】前記バルク誘電体材料を上部と下部とに分離する埋込エッチング停止層をさらに備え、前記埋込エッチング停止層が、前記バルク誘電体材料の連続エッチングの際に、均一な深さを与えるようにした、請求項20に記載の中間半導体デバイス。

【請求項24】相互接続構造を有する半導体基板であって、基板と、前記基板上に設けられたバルク誘電体材料と、前記バルク誘電体材料を、連続処理の際の前記バルク誘電体材料の誘電率の不所望な変化から保護するために、前記バルク誘電体材料とほぼ同じ誘電率を有する材料よりなる第1のハードマスク層と、前記第1のハードマスク層上の領域から、前記第1のハードマスク層および前記バルク低誘電体材料内に形成された開口を経て、前記基板内のコンタクトデバイスまで

延びる相互接続構造とを備えた、半導体基板。

【請求項25】前記ハードマスク層は、約2.5～約8.0の誘電率を有する、請求項24に記載の半導体基板。

【請求項26】前記ハードマスク層は、シリコンナイトライド、アモルファス水素化シリコンカーバイド、シリコンカーバイド、シリコンカーバイドナイトライド、有機シリケートガラス、シリコンリッチオキシaid、二酸化シリコン、テトラエチルオルトシリケート、ホスホシリケートガラス、有機シロキサンポリマー、炭素ドーブシリケートガラス、水素ドーブシリケートガラス、シルセスキオキサンガラス、スピノンガラス、またはフッ素化シリケートガラスを含む、請求項24に記載の半導体基板。

【請求項27】前記ハードマスク層は、約10～200nmの厚さを有する、請求項24に記載の半導体基板。

【請求項28】第2のハードマスク層が、前記第1のハードマスク層上に付着され、前記第2のハードマスク層が、相互接続構造の形成の際に除去され、前記デバイス内に前記第1のハードマスク層を永久に残す、請求項24に記載の半導体基板。

【請求項29】第2および第3のハードマスク層が、前記第1のハードマスク層上に付着され、前記第2および第3のハードマスク層は、前記相互接続構造の形成の際に除去され、前記デバイス内に前記第1のハードマスク層を永久に残す、請求項28に記載の半導体基板。

【請求項30】前記相互接続構造は、前記基板から前記第1のハードマスク層上の領域まで導電接続部を作製するために、前記ハードマスク層内および前記バルク低誘電率材料内に、金属で充填された開口を有する、請求項28に記載の半導体基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、全体的に減少した誘電率を有する半導体デバイスと、デバイスのレベル間誘電体材料を保護する一連のハードマスク層を用いてデバイスを作製する方法とに関する。

【0002】

【従来の技術】半導体デバイスがフィーチャ・サイズを減少するにつれて、ライン間のキャパシタンスが、問題となる。半導体デバイスの金属ラインが、互いに益々近接してパターンニングされると、ライン間の容量性結合を減少させるために、層間誘電体(interlayer dielectric; ILD)材料の誘電率 $k$ を減少させる必要がある。従って、できるだけ低い誘電率を有するILDを用いるのが好ましい。しかし、半導体デバイス内の相互接続の形成の際には、望ましい低誘電率ILDでさえも、誘電率を不所望に増大し、従って、デバイスの全有効誘電率を全体として増大させる処理条件にさらされる。化学機械平坦化(CMP)によって相互接続を形成するために

用いられる過剰の金属を除去する際には、CMPスラリーが、低誘電率ILDを汚染または劣化する。ハードマスクおよびキャップの付着の際には、その付着プロセスが、低誘電率ILDを劣化させる。

【0003】ダマシ・プロセスは、複数のメタライゼーション層を接続するための相互接続構造を形成する方法を提供する1つの手法である。典型的なシングルダマシ・プロセスは、Beyerに発行された米国特許第4,944,836号明細書に記載され、その内容は、本明細書の内容に含まれる。導電ラインおよびスタッド・パイア金属コンタクトが同時に形成される、デュアルダマシ・プロセスは、Chowに発行された米国特許第4,789,648号明細書に記載され、その内容は、本明細書の内容に含まれる。

【0004】ダマシ・プロセスの際、ILD上に低誘電率有機シリケート(OSG)ハードマスクを付着する従来の方法は、シラン( $\text{SiH}_4$ )、メチルシラン( $\text{CH}_3\text{SiH}_3$ )、トリメチルシラン( $(\text{CH}_3)_3\text{SiH}$ )、またはテトラメチルシラン( $(\text{CH}_3)_4\text{Si}$ )のような反応性前駆物質または前駆物質の混合物と、 $\text{N}_2$ 、 $\text{O}_2$ 、 $\text{CO}$ 、 $\text{CO}_2$ 、または $\text{H}_2\text{O}$ のような酸化剤とを用いる。しかし、これらの種から低誘電率ハードマスクを作製するのに必要とされるプラズマの反応性酸素含有量は、バルク低誘電率ILD30を損傷するのに、ハードマスクとILDとの間の接着を損傷または劣化するのに、あるいは、ナノガラス(Nanoglass(登録商標); Allied Signal, Santa Clara, CA)のようなナノ多孔質(nanoporous)材料の孔内に存在するクラディング/パッシベーション層を変えるのに十分である。

#### 【0005】

【発明が解決しようとする課題】従来技術の問題点および欠点を考慮すると、本発明の目的は、半導体処理の際に低誘電率ILDを保護し、形成されたデバイスの全有効低誘電率を保持する方法を提供することにある。

【0006】本発明の他の目的は、低誘電率ILDが不所望な誘電率の増大を受けない半導体デバイス内に、相互接続構造を形成する方法を提供することにある。

【0007】本発明のさらに他の目的は、全有効低誘電率を有する半導体デバイスを提供することにある。

【0008】本発明のまたさらに他の目的および利点は、以下の詳細な説明により部分的に明らかになるであろう。

#### 【0009】

【課題を解決するための手段】上記のおよび他の目的および利点は、当業者は、本発明で実現されることが明らかであろう。本発明の第1の態様は、半導体材料上の低誘電率層を半導体材料の処理の際に保護する方法であって、この方法は、半導体材料よりなる基板と、任意には、基板上にエッチング停止層とを設ける工程と、半導

体材料上にバルク低誘電率材料を付着する工程と、バルク低誘電率材料上に低誘電率材料よりなる第1のハードマスク層を付着する工程と、第1のハードマスク層上に設けられる犠牲的な第2のハードマスク層を付着する工程と、半導体材料、ハードマスク層、およびバルク誘電率材料を連続処理する工程と、第2のハードマスク層を除去し、バルク誘電体材料上の第1のハードマスク層を永久に残す工程とを含み、第1のハードマスク材料が、バルク低誘電率材料を保護して、連続処理の際にその誘電率の変化をほぼ防ぐようにする。

【0010】好適には、第1のハードマスク層を付着する工程は、約2.5~8.0、好適には2.5~4.5の誘電率を有する低誘電率材料を付着する工程を含む。好適には、第1および第2のハードマスク層を付着する工程は、シリコンナイトライド、シリコンカーバイド、アモルファス水素化シリコンカーバイド、シリコンカーバイドナイトライド、有機シリケートガラス、シリコンリッチオキシライド、二酸化シリコン、テトラエチルオルトシリケート、ホスホシリケートガラス、有機シロキサンポリマー、炭素ドーブシリケートガラス、水素ドーブシリケートガラス、シルセスキオキサンガラス、スピノンガラス、またはフッ素化シリケートガラスを付着する工程を含む。

【0011】この態様の方法は、犠牲的な第2のハードマスク層上に犠牲的な第3のハードマスク層を付着する工程をさらに含み、第3のハードマスク層は、連続処理の際に除去される。好適には、相互接続構造を作製する連続処理工程は、ハードマスク層内およびバルク誘電率材料内に開口を形成する工程と、このような開口を、基板から第1のハードマスク層上の領域への導電接続部を作製するために、金属で充填する工程とを含む。化学機械研磨は、相互接続構造内の過剰の金属を除去するために用いられ、バルク低誘電率材料は、第1のハードマスク層によって、不所望な誘電率の増大、不所望な漏洩の増大、およびスクラッチングによる歩留まりの減少から保護される。

【0012】第1および第2のハードマスク層を付着する工程は、1種類の前駆物質材料を用い、異なる誘電率を有する2つの膜を与えるために付着条件を変える単一の付着工程とを含む。好適には、この態様は、バルク低誘電率材料を、下部と上部とに分離する埋込みエッチング停止層をさらに含む。また、埋込みエッチング停止層は、異なる2種類の材料よりなるバルク低誘電率材料を分離することができる。

【0013】第2の態様では、本発明は、相互接続構造を形成する方法を開示する。この方法は、半導体基板を設ける工程と、半導体基板上にバルク誘電体材料を付着する工程と、バルク誘電体材料の誘電率とほぼ同じ誘電率を有する第1のハードマスク層を付着する工程と、第1のハードマスク層上に第2のハードマスク層を付着す

る工程と、第2のハードマスク層上に第3のハードマスク層を付着する工程と、ハードマスク層およびバルク誘電体材料を経る1つ以上のバイアおよび／またはラインをエッチングする工程と、バイアに導電材料を付着する工程と、第3および第2のハードマスク層が同時に除去される化学機械平坦化によって過剰の導電材料を除去する工程と、第1のハードマスク層を残す工程とを含む。

【0014】第3の態様では、本発明は、バルク誘電体材料が、誘電率の不所望な変化から保護される中間半導体デバイスを開示する。この中間半導体デバイスは、基板と、基板上に設けられたバルク誘電体材料と、バルク誘電体材料上に設けられ、バルク誘電体とほぼ同じ誘電率を有する第1のハードマスク層と、第1のハードマスク層上に設けられた第2のハードマスク層とを備え、第2のハードマスク層は、中間半導体デバイス内に相互接続構造を形成する際に除去されるようにしている。

【0015】中間半導体デバイスは、第2のハードマスク層上に設けられた第3のハードマスク層をさらに備え、第3のハードマスク層は、中間半導体デバイス内に相互接続構造を形成する際に除去されるようにしている。任意には、中間半導体デバイスは、基板とバルク誘電体材料との間に設けられたエッチング停止層、および／または、バルク誘電体材料を上部と下部とに分離する埋込みエッチング停止層をさらに備え、埋込みエッチング停止層は、バルク誘電体材料の連続エッチングの際に、均一な深さを与えるようにしている。

【0016】第4の態様では、本発明は、相互接続構造を有する半導体基板を開示する。この半導体基板は、基板と、基板上に付着されたバルク誘電体材料と、連続処理の際、バルク誘電体材料を、バルク誘電体材料の誘電率の不所望な変化から保護するために、バルク誘電体材料とほぼ同じ誘電率を有する材料よりなるハードマスク層と、ハードマスク層上の領域から、ハードマスク層およびバルク低誘電率材料内に形成された開口を経て、基板内のコンタクト・デバイスまで延びる相互接続構造と備える。

【0017】

【発明の実施の形態】本発明の好適な実施例を説明する際、図面の図1～図20を参照する。同じ参照番号は、本発明の同じフィーチャを示す。本発明のフィーチャは、必ずしも図面にスケール通りに示されていない。

【0018】本発明は、半導体デバイス内に望ましい低誘電率を有する主誘電体層の誘電体特性を、連続処理工程の際の誘電率の不所望な増大から保護する永久的な保護ハードマスクを提供する。保護ハードマスクは、バイア開口のような相互接続構造が、最終製品を製造する際に低誘電率材料内に形成される場合に特に有用である。当業者は、本明細書の中で開示される前駆物質の流量と電源とを用いて、本発明によって相互接続構造を形成する適切なプロセス条件を与えることができる。

【0019】3層ハードマスクを有するデュアルダマシン構造を備えた本発明の第1の実施例を、図1～図10に示す。シリコン半導体基板10は、例えば、好適には、Santa Clara, CaliforniaのApplied Materialsによって登録商標BLKの下で販売されているアモルファス水素化シリコンカーバイドよりなるエッチング停止層20をその上に付着させる。エッチング停止層20の厚さは、好適には、約10～100nmであり、50nmの厚さがより好適である。エッチング停止層は、理想的には、エッチング停止層であるのみならず、銅のような連続相互接続材料に対する拡散バリアとしての組み合わせ特性を有している。

【0020】エッチング停止層20は、シリコンナイトライド、シリコンカーバイドナイトライド、有機シリケートガラス(OSG)、シリコンリッチオキサイド(SiRO)、二酸化シリコン、有機シロキサンポリマー、炭素または水素ドーブのシリケートガラスまたはシルセスキオキサンガラス、スピノンガラス、フッ素化または非フッ化シリケートガラス、またはエッチ停止材料である従来知られた材料を含むことができる。基板10およびエッチング停止層20上には、約100～2000nmの好適な厚さのバルク低誘電率レベル間誘電体材料(バルク低誘電率ILD)30を付着している。バルク低誘電率ILD30は、好適にはMidland, MichiganのDow Chemicalにより登録商標SiLKの下で販売され、約700nmの好適な厚さを有する有機スピノンポリマーである。さらに、バルク低誘電率ILD30は、以下のものを含むことができる。すなわち、二酸化シリコン、ポリイミド、有機シロキサンポリマー、ポリアリルエーテル、炭素または水素ドーブのシリケートガラスまたはシルセスキオキサンガラス、スピノンガラス、フッ素化または非フッ素化シリケートガラス、ダイヤモンドカーボン、ナノポーラスシリケートまたは有機シリケートガラスまたはシルセスキオキサンポリマー、または誘電体材料である従来知られた同様の低誘電率材料である。

【0021】その後、低誘電率材料を有する第1のハードマスク層40が、バルク低誘電率ILD30上に付着される。この第1のハードマスク層は、約10～200nmの厚さであるが、バルク低誘電率ILD30の厚さよりも薄い厚さで付着することができる。好適な第1のハードマスク層は、約50nmの厚さの登録商標BLKの下で販売されているアモルファスシリコンカーバイドである。第1のハードマスク層に対する第2の好適な材料(BLKよりも低い誘電率を有する)は、約50nmの厚さを有する化学組成物SiCOHに基づく有機シリケートガラス(OSG)である。この応用に対するSiCOH膜は、広い付着条件で付着することができ、テトラメチルシクロテトラシロキサン(Si<sub>4</sub>C<sub>4</sub>O<sub>4</sub>H<sub>16</sub>)(TMCTS)およびオクタメチルシクロテトラ

10

20

30

40

50

シロキサン ( $\text{Si}$ ,  $\text{C}$ ,  $\text{O}$ ,  $\text{H}_2$ ) (OMCTS) のような種々の前駆物質と合成することができる。前駆物質の選択にあたって重要な要因は、分子が膜の全ての元素を含み、また、分子がプラズマ化学蒸着装置 (PECVD) 内での処理のために気体中に蒸発できることである。好適な前駆物質は、TMCTSである。というのは、TMCTSは、上記要求を満たし、低RF電源で容易に分解され、従って、PECVDプロセスの際、酸素ラジカルまたはイオンの形成を最小にするからである。PECVD付着は、2つのツール構成、すなわち、RF電力が供給された電極上のウエハ、およびグランドされた電極上のウエハ実証されている。これら両構成は、同様の膜特性を有する  $\text{SiCOH}$  を作製することができる。これら2つの組のツール構成から、許容できるプロセス条件が設定されている。前駆物質の形態は、 $\text{Si-C-O-H}$  を含む気体分子とすることができるが、好適には、TMCTSである。前駆物質は、 $30 \sim 750 \text{ sccm}$  で流れるが、好適には、 $100 \sim 500 \text{ sccm}$  である。付着圧力は、約  $13.3 \sim 666.6 \text{ Pa}$  ( $100 \sim 5000 \text{ Torr}$ ) であり、好適には、約  $66.6 \sim 399.9 \text{ Pa}$  ( $500 \sim 3000 \text{ Torr}$ ) である。付着温度は、約  $25 \sim 450^\circ\text{C}$  であり、好適には、約  $100 \sim 400^\circ\text{C}$  である。供給されるRF電源は、約  $5 \sim 400 \text{ W}$  である。

【0022】次に、好適には、約  $35 \text{ nm}$  の厚さのPECVD二酸化シリコンを含む、約  $10 \sim 200 \text{ nm}$  の厚さの第2のハードマスク層50が、付着される。次に、好適には、約  $150 \text{ nm}$  の厚さのPECVDシリコンナイトライドを含む、約  $10 \sim 200 \text{ nm}$  の厚さを有する第3のハードマスク層60が、付着される。さらに、ハードマスク層40、50、60は、PECVDシリコンナイトライド、シリコンカーバイド、アモルファス水素化シリコンカーバイド、シリコンカーバイドナイトライド、OSG、二酸化シリコン、有機シロキサンポリマー、炭素または水素ドーパのシリケートガラスまたはシルセスキオキサンガラス、スピノンガラス (SOG)、フッ素化または非フッ素化シリケートガラスを含むことができる。

【0023】約  $10 \sim 200 \text{ nm}$ 、好適には、約  $90 \text{ nm}$  の任意の反射防止被覆層 (ARC) 70を、ハードマスク層上に付着することができる。次に、約  $200 \sim 1000 \text{ nm}$ 、好適には約  $500 \text{ nm}$  の厚さのフォトレジスト層80が、付着され、パターンニングされ、転写される層のラインレベル・パターンでエッチングされる。次に、フォトレジスト層80からのイメージが、反射防止被覆層70上に転写され、その後、通常のプラズマエッチング・プロセスを用いて、第3のハードマスク60に転写される。次に、図2に示すように、フォトレジスト層80および反射防止被覆層70が除去され、パターンニングされた第3のハードマスク層60を残す。好適に

は、第3のハードマスク層は、 $0 \sim 500 \text{ sccm}$  (standard cubic centimeters per minute) の  $\text{Ar}$ ,  $0 \sim 500 \text{ sccm}$  の  $\text{CO}$ ,  $1 \sim 20 \text{ sccm}$  の  $\text{C}_4\text{F}_8$ ,  $0 \sim 20 \text{ sccm}$  の  $\text{O}_2$  の混合物を、 $0 \sim 2000 \text{ W}$  の高周波電源および  $0 \sim 2000 \text{ W}$  の低周波電源で、約  $1.3 \sim 133.3 \text{ Pa}$  (約  $10 \sim 1000 \text{ Torr}$ ) の圧力で用いて、Fremont, CaliforniaのLam research Corpからmodel 4520XLで販売されているプラズマ・エッチャでエッチングされる。フォトレジストは、 $1 \sim 100 \text{ sccm}$  の流量の  $\text{O}_2$  を、 $0 \sim 2000 \text{ W}$  の高周波および低周波で、約  $1.3 \sim 133.3 \text{ Pa}$  (約  $10 \sim 1000 \text{ Torr}$ ) 圧力で用いて、除去される。第3のハードマスク層のプラズマ・エッチングの条件は、第2のハードマスク層50がエッチングされないように選択され、同様に、第2のハードマスクが、パターン90形成後に用いられるフォトレジスト除去プロセスによって悪影響を受けないように選ばれる。第2のハードマスク層50は、上述したプロセス (すなわち、ハードマスク・イメージ転送およびフォトレジスト除去プロセスであり、これらは、第1のハードマスク層を損傷し、その誘電率を不所望に増大する) の1つに対して、低誘電率の第1のハードマスク層40を、露出から保護する。

【0024】図3に示すように、第3のハードマスク層60内にライン層のイメージ90を形成した後、バイアレベル・フォトリソグラフィを完了する。このバイアレベル・フォトリソグラフィは、約  $10 \sim 200 \text{ nm}$ 、好適には約  $90 \text{ nm}$  の厚さを有する反射防止被覆層100と、約  $200 \sim 1000 \text{ nm}$ 、好適には約  $500 \text{ nm}$  の厚さを有するフォトレジスト層110とを付着する工程を含む。イメージ120が、フォトレジスト層110に形成されるが、イメージ90に完全にアラインさせる必要はない。図4は、通常のプラズマエッチング・プロセスを用いて、フォトレジスト層110内のイメージを、反射防止被覆層100、第3、第2、第1のハードマスク層60、50、40を経て、バルク低誘電率ILD30に転写する状態を示している。好適には、プラズマ・エッチングは、Santa Clara, CaliforniaのApplied Materials Corp. から販売されているプラズマ・エッチャ・モデルIPSで行われる。 $0 \sim 500 \text{ sccm}$  の  $\text{Ar}$ ,  $0 \sim 20 \text{ sccm}$  の  $\text{C}_4\text{F}_8$ ,  $0 \sim 100 \text{ sccm}$  の  $\text{C}_2\text{F}_6$ ,  $0 \sim 100 \text{ sccm}$  の  $\text{CHF}_3$ ,  $0 \sim 100 \text{ sccm}$  の  $\text{CF}_4$ ,  $0 \sim 100 \text{ sccm}$  の  $\text{O}_2$ ,  $0 \sim 100 \text{ sccm}$  の  $\text{N}_2$ ,  $0 \sim 100 \text{ sccm}$  の  $\text{CO}$ ,  $0 \sim 100 \text{ sccm}$  の  $\text{CO}_2$  を、 $0 \sim 1000$  ワットに設定された内部電源および  $400 \sim 2500$  ワットに設定された外部電源で、 $0 \sim 1400$  ワットにバイアスされて、約  $0.1 \sim 13.3 \text{ Pa}$  (約  $1 \sim 100 \text{ Torr}$ ) の圧力で用いて、反射防止被覆層100をエッチングする。ハードマスク層40、50、60およびバルク低誘電率材料30は、以下の条件下で、エッチングされる。

すなわち、0～500 sccmのAr, 0～20 sccmのC<sub>4</sub>F<sub>8</sub>, 0～100 sccmのC<sub>2</sub>F<sub>6</sub>, 0～100 sccmのCHF<sub>3</sub>, 0～100 sccmのCF<sub>4</sub>, 0～100 sccmのO<sub>2</sub>, 0～100 sccmのN<sub>2</sub>, 0～100 sccmのCO, 0～100 sccmのCO<sub>2</sub>を、0～100ワットに設定された内部電源および400～2500ワットに設定された外部電源で、0～1400ワットにバイアスされて、約0.1～13.3 Pa (約1～100 mTorr) の圧力で用いる。

【0025】イメージ120がイメージ90にアラインされていない場合には、イメージ120がすべての3つのハードマスク層60, 50, 40を経て転写されるように、条件は選ばれることに留意すべきである。このことは、イメージ転写の正確な適合度を保証し、非常に小さいサイズのイメージが転写されるのを阻止する。

【0026】図5は、フォトレジスト層110のイメージ120を、バルク低誘電率ILD30に転写して、バイア125を形成する様子を示す。同時に、フォトレジスト層110および反射防止被覆層100は、バイア形成の際にエッチングされる。バイア形成は、Applied Materials Corp.により販売されているプラズマ・エッチャで、以下の条件下で行うことができる。すなわち、0～500 sccmのAr, 0～100 sccmのO<sub>2</sub>, 0～100 sccmのN<sub>2</sub>, 0～100 sccmのCO, 0～100 sccmのCO<sub>2</sub>, 0～50 sccmのC<sub>2</sub>H<sub>4</sub>, 0～50 sccmのC<sub>2</sub>H<sub>2</sub>を、0～1000ワットに設定された内部電源および400～2500ワットに設定された外部電源で、0～1400ワットにバイアスされて、約0.1～13.3 Pa (約1～100 mTorr) の圧力で用いる。このような条件は、パターン転写の際に、ハードマスク層60, 50, 40が除去されないように選ばれる。レベル間誘電体層30内へのバイア125の形成は、エッチング停止層20までは進行せず、所定の望ましい距離で停止することに留意すべきである。

【0027】図6において、通常のプラズマ・エッチング・プロセスを用いて、第1および第2のハードマスク層40, 50を経て、ラインレベル・イメージ90が転写される。このようなプラズマ・エッチングは、Applied Materials Corp.のモデルIPSプラズマ・エッチャで、以下の条件下で行うことができる。すなわち、0～500 sccmのAr, 0～20 sccmのC<sub>4</sub>F<sub>8</sub>, 0～100 sccmのC<sub>2</sub>F<sub>6</sub>, 0～100 sccmのCHF<sub>3</sub>, 0～100 sccmのCF<sub>4</sub>, 0～100 sccmのO<sub>2</sub>, 0～100 sccmのN<sub>2</sub>, 0～100 sccmのCO, 0～100 sccmのCO<sub>2</sub>, 0～100 sccmのCH<sub>3</sub>Fを、0～1000ワットに設定された内部電源で用いる。このような条件は、ラインレベル・イメージ領域およびバルク低誘電率ILD30の

外側の第3のハードマスク層60のエッチングを最小にするように選ばれる。

【0028】次に、図7に示すように、ラインレベル・イメージ90が、バルク低誘電率ILD30に転写される。同時に、バイア125が、エッチング停止層20に達するまで、バルク低誘電率ILD30内に深く転写される。バルク低誘電率ILD30のエッチングは、第3のハードマスク層60およびエッチング停止層20のエッチングを最小にする条件下で行われる。例えば、Applied Materials Corp.より販売されているモデルIPSプラズマ・エッチャを用いる場合には、次の条件が好ましい。すなわち、0～500 sccmのAr, 0～100 sccmのO<sub>2</sub>, 0～100 sccmのN<sub>2</sub>, 0～100 sccmのCO, 0～100 sccmのCO<sub>2</sub>, 0～50 sccmのC<sub>2</sub>H<sub>4</sub>, 0～50 sccmのC<sub>2</sub>H<sub>2</sub>を、0～1000ワットに設定された内部電源および400～2500ワットに設定された外部電源で、0～1400ワットにバイアスされて、約0.1～13.3 Pa (約1～100 mTorr) の圧力で用いる。

10

20

30

40

50

【0029】その後、図8に示すように、バイア125をエッチング停止層20を経て転写し、基板10上の下側構造に接触させる。これは、通常のプラズマ・エッチングを用いて、以下の条件下で行われる。すなわち、0～500 sccmのAr, 0～20 sccmのC<sub>4</sub>F<sub>8</sub>, 0～100 sccmのC<sub>2</sub>F<sub>6</sub>, 0～100 sccmのCHF<sub>3</sub>, 0～100 sccmのCF<sub>4</sub>, 0～100 sccmのO<sub>2</sub>, 0～100 sccmのN<sub>2</sub>, 0～100 sccmのCO, 0～100 sccmのCO<sub>2</sub>, 0～100 sccmのCH<sub>3</sub>Fを、0～1000ワットに設定された内部電源および400～2500ワットに設定された外部電源で、0～1400ワットにバイアスされて、約0.1～13.3 Pa (約1～100 mTorr) の圧力で用いる。このような条件は、第3のハードマスク層60およびバルク低誘電率ILD30のエッチングが最小になるように選ばれる。このエッチング停止に続いて、ドライ (プラズマ) 洗浄プロセス、ウェット洗浄プロセス、またはこれらの組合せとすることのできる洗浄プロセスを実行する。ドライ洗浄プロセスは、Applied Materials Corp.から販売されているモデルMxPプラズマ・エッチャにより、以下の条件下で行うことができる。すなわち、0～500 sccmのAr, 0～1000 sccmのH<sub>2</sub>, 0～1000 sccmのNH<sub>3</sub>, 0～1000 sccmのN<sub>2</sub>, 0～1000 sccmのN<sub>2</sub>H<sub>2</sub>, 0～1000 sccmのO<sub>2</sub>, 0～1000 sccmのCO, 0～1000 sccmのCO<sub>2</sub>を、0～1000ワットのRF電力で、0～140ガウスの磁界内で、約1.3～133.3 Pa (約10～1000 mTorr) の圧力で用いる。ウェット洗浄は、Fremont, California のEKC Technologiesにより販売されている溶剤EKC 525Cuを用いて、技術上既知の



方法で行うことができる。

【0030】図9は、前にエッチングされた開口に、金属130を付着することによる、構造のメタライゼーションを示す。メタライゼーションの前に、バイア125およびライン90内に、ライナ135の材料を付着することができる。ライナは、高融点金属（Ta, Ti, W）、高融点金属窒化物（Ta<sub>2</sub>N, TiN, WN）、高融点金属合金（TaSiN）、またはこれら材料の組合せで、構成することができる。導電層は、銅、アルミニウム、タングステン、または銀により構成することができる。本発明の好適な一実施例では、導電金属は銅であり、関連するライナは、窒化タンタル（Ta<sub>2</sub>N）の薄層、タルタル（Ta）の薄層、銅シード層から構成される。ライナ135を形成する方法は、技術上知られている。第2の好適なライナ材料は、CVDプロセスで付着された窒化チタン（TiN）の薄層、タルタル（Ta）の薄層、銅シード層から構成される。次に、過剰な金属130およびライナ135は、化学機械平坦化方法（CMP）によって、図10に示すように、除去される。CMPプロセスは、第3のハードマスク層60および第2のハードマスク層50を除去するが、低誘電率の第1のハードマスク層40を除去しない。第1のハードマスク層40は、もとの場所に残って、信頼性のある半導体デバイスを保証することが重要である。というのは、CMPプロセスは、バルク低誘電率ILD30を損傷し、その寿命を低下させるからである。好適なCMPプロセスは、Landersに発行された米国特許第5,676,587号明細書（この内容は、本明細書の内容に含まれる）に開示された2ステップ・プロセスである。このプロセスでは、金属130は、ライナ135に対して選択的な第1のCMPプロセスで除去される。第2のCMPプロセスを用いて、ライナ135を除去する。本発明の好適な実施例は、第2のCMPプロセスを含む。この第2のCMPプロセスは、ライナ135と、第3のハードマスク層60および第2のハードマスク層40を除去するが、第1のハードマスク層40は除去しない。

【0031】CMPプロセスに続いて、導体130およびハードマスク層40が、キャップ材料150で完全に覆われるように、構造をキャップすることが望ましい。キャップ材料150は、その上に作製される他の相互接続層に対して、エッチング停止層として働くことができる。さらに、キャップ材料の層は、金属130に対する拡散バリアとしても働き、相互接続構造内への金属の移動を阻止する。好適なキャップ材料は、窒化シリコンであり、厚さは約10～200nm、好適には約35nmである。バルク低誘電率ILD30上の低誘電率・ハードマスク層40は、キャップ層150の付着の際に、バルク低誘電率ILD30を保護する働きをする。第2の好適なキャップ材料は、BLK（登録商標）であり、厚さは約10～100nm、好適には約50nmであ

る。BLKの利点は、窒化シリコンよりも誘電率が低いことである。

【0032】3層ハードマスクを有し、さらに埋込みエッチング停止層を有するデュアル・ダマシ構造を備える本発明の第2の好適な実施例を、図11および図12に示す。図11において、バルク低誘電率ILDが、2つの部分、すなわち約100～2000nmの厚さを有する下側ILD32と、約100～2000nmの厚さを有する上側ILD36とに分離されていることを除いて、図1の構造に類似の構造を示す。2つのILD層32, 36は、約10～200nmの厚さを有する埋込みエッチング停止層34によって分離されている。バルク低誘電率ILDの上側部分および下側部分は、同じ材料である必要はない。上側部分および下側部分は、異なる材料とすることができ、いくつかの場合には、例えば、下側ILDとして、強固であるが高誘電率の材料を用いることによって、機械的強度に対して、バイアレベルでの誘電率の低下をトレードオフするために、2種類の異なる材料を用いるのが有利である。

【0033】埋込みエッチング停止層34は、第1および第2のハードマスク層40, 50の組合せ厚さに比べて、比較的薄く、図6に関して説明した第1および第2のハードマスク層をエッチングするのに用いられる同じ化学物質でエッチングされるように選ばれる。好適には、埋込みエッチング停止層34は、厚さが約15nmのDECVD窒化シリコンであるが、エッチング停止層20について上述した同じ材料とすることができる。他の好適な埋込みエッチング停止層は、TMCTSで付着され、厚さが約15nmであるOSG SiCOHである。埋込みエッチング停止層34は、バルク低誘電率ILDの均一エッチングのための手段を与える。

【0034】図12において、構造は、バイア125が埋込みエッチング停止層34で停止するまで、第1の実施例に関連して説明したと同じように、エッチングされる。エッチングは、埋込みエッチング停止層34を通過して、エッチング停止層20まで続く。ILD32の厚さは、ILD36の厚さより大きいので、バイア・エッチングは、バイア125が、下側ILD32を完全に通過してエッチング停止層20に達するまで転写されるように、十分なオーバエッチング（ライン層IDL36上）を含まなければならない。他方、ラインレベル90は、埋込みエッチング停止層34までエッチングされ、それ以上はエッチングされない。前述したエッチング停止層20に対するエッチング条件は、図12に示される構造を形成するために、埋込みエッチング停止層34をエッチングするのにも、用いることができる。

【0035】2層ハードマスクを有するデュアルダマシ構造を備える本発明の第3の実施例を、図13に示す。図13の構造は、第1の低誘電率ハードマスク層40が除かれている点を除いては、図1の構造に類似して

いる。作製は、次の点を除いて、図1～図10に関連して説明した作製方法と同様に行われる。すなわち、CMPプロセスの条件は、ハードマスク層50を構造内に永久に残しながら、ハードマスク層60が除去されるように選ばれる。この構造は、従来技術で知られている構造に対して多くの利点を有しており、重ね合わせに対する許容誤差、リソグラフィ再加工程能力、高性能、低コスト、物理的構造の実行可能性を与えながら、有機バルク低誘電率ILD30の使用を可能にする。この実施例では、好適な2層ハードマスクは、厚さが約35nmのPECVD窒化シリコン（ハードマスク層50）と、厚さが約150nmのPECVD窒化シリコン層（ハードマスク層60）とを有している。

【0036】図1、図13に示される構造に類似し、埋込みエッチング停止層をさらに含む2層ハードマスクを有するデュアルダマシ構造を備える第4の実施例を、図14に示す。図13のように、低誘電率ハードマスク層40は、除かれている。しかし、図11に類似するように、バルク低誘電率ILDは、2つの部分、すなわち埋込みエッチング停止層34によって分離された下側ILD32と上側ILD36とから構成される。最終構造内にハードマスク層50を永久に残しながら、ハードマスク層60を除去する点を除いて、パターンニングは、前述したと同様に行われる。

【0037】3層ハードマスクを有する単一ダマシ構造を備える第5の実施例において、図15は、バルク低誘電率ILD30が所望のラインレベルの厚さを有し、エッチング停止層20が任意である点を除いて、図1のデュアルダマシ構造に類似の構造を示している。フォトレジスト層80がパターンニングされ、エッチングされ、そのパターンは、第3のハードマスク層60および反射防止被覆層70にエッチングされる。第3のハードマスク層60および反射防止被覆層70の所望な部分を除去するためのプラズマ・エッチングの条件は、第2のハードマスク層50が悪影響を受けないように選ばれる。第2のハードマスク層50の材料は、第3のハードマスク層60をパターンニングした後に行われるフォトレジスト除去プロセスによって悪影響を受けないように選ばれる。第2のハードマスク層50は、低誘電率材料よりなる第1のハードマスク層40を、イメージ90を形成するハードマスク・イメージ転写のようなプロセスにさらされることから保護し、およびフォトレジスタ除去プロセスから保護することに留意すべきである。というのは、これら両プロセスは、第1のハードマスク層40に損傷を与え、誘電率を所望に増大するからである。

【0038】エッチング・プロセスは、図16に示すように続けられ、パターン・イメージが第2のハードマスク層50および第1のハードマスク層40に転写される。パターンは、さらに、図7の工程のように、バルク低誘電率ILD30にエッチングされる。図8に示され

るように、任意のエッチング停止層20が用いられるならば、エッチング停止層は、エッチング除去されるが、洗浄工程を必要とする。図9に示すように、メタライゼーションが行われ、続いてCMPが行われて、過剰な金属を除去する。

【0039】2層ハードディスクを有する単一ダマシ構造を備える図17に示す第6の実施例では、低誘電率ハードマスク層40内の構造が除かれており、エッチング停止層20を有してもよく、あるいは有さなくてもよい。好適には、有機スピノン・ポリマSiLK（登録商標）よりなるバルク低誘電率ILD30は、基板10およびエッチング停止層（もし、存在するならば）上に付着される。バルク低誘電率ILD30上で、好適には厚さが約35nmのPECVD窒化シリコンを含む第1のハードマスク層50と、好適には厚さが約150nmのPECVD二酸化シリコンを含む第2のハードマスク層60と、反射防止被覆層70と、フォトレジスト層80とを除去する。次に、前述したように、構造をパターンニングして、エッチングし、メタライゼーションで充てんし、平坦化する。

【0040】図18に示す2層ハードマスクを有する単一ダマシ構造を備える第7の実施例において、第3のハードマスク層60を除いて、性能上いくつかの改善を行った。図18の構造は、エッチング停止層20を有するかあるいは有さない基板10と、好適には有機スピノン・ポリマSiLK（登録商標）を含むバルク低誘電率ILD30と、約50nm厚さのアモルファス水素化シリコンカーバイドまたは約50nm厚さのTMCTSで付着されたSiCOHのようなOSGを含む第1のハードマスク層40と、約70nmの厚さを有するPECVD窒化シリコンを含む第2のハードマスク層50とを備えている。構造は、前述した本発明に従って、再び、パターンニングし、エッチングして、メタライゼーションで充てんし、平坦化する。図19に示すように、フォトレジスト層80内のパターン200は、初めに、通常のプラズマ・エッチング・プロセスで、反射防止被覆層70上に転写される。次に、第2のハードマスク層50および低誘電率ハードマスク層40が、次のようなプロセスでエッチングされる。すなわち、両方の膜をエッチング除去して、ハードマスク材料に傾斜を形成し、フォトレジスト・パターン・サイズが、第2の微小イメージ210としてハードマスク層に転写されるようにする。第2のイメージ210が、第1のイメージより大きい、あるいは等しいときにも、この方法および構造は依然として有効であるが、第2のイメージ200をより小さくすることに対して利点がある。より小さなフィーチャは、互いに短絡して、デバイス障害を生じさせそうにはないが、フィーチャ間の分離を大きくすることは、フィーチャ間の容量性結合を減少させる。反射防止被覆層70は、Applied Materials Corp. から販売されてい

るプラズマ・エッチャ・モデルIPS以下の条件で行われる。すなわち、0～50sccmのAr、0～20sccmのC<sub>4</sub>F<sub>8</sub>、0～100sccmのC<sub>2</sub>F<sub>6</sub>、0～100sccmのCHF<sub>3</sub>、0～100sccmのCF<sub>4</sub>、0～100sccmのO<sub>2</sub>、0～100sccmのN<sub>2</sub>、0～100sccmのCO、0～100sccmのCO<sub>2</sub>を、0～1000ワットに設定された内部電源および400～2500ワットに設定された外部電源で、0～1400ワットにバイアスされ、約0.1～13.3Pa（約1～100mTorr）の圧力で用いる。ハードマスク層は、また、同じ条件下で、エッチングすることができる。

【0041】より小さい第2のイメージ210は、ハードマスク層40、50から、バルク低誘電率レベル間誘電体30に転写される。フォトレジスト層80および反射防止被覆層70は、バルク低誘電率ILD30のエッチングの際に、あるいは別個のプロセス工程として、除去することができる。エッチング停止層20が存在するならば、エッチング停止層は、エッチング除去され、続いて前述したように洗浄プロセスが行われる。メタライゼーションおよび平坦化は、図9で前述したように行われる。この実施例では、フォトレジスト80および反射防止被覆材料は、低誘電率レベル間誘電体材料のプラズマ・エッチングの際に、所望に除去されることに留意することは重要である。

【0042】本発明を、特定の好適な実施例に基づいて説明したが、前述した記載から、当業者であれば、多くの変形、変更が可能なことは明らかである。したがって、本発明は、本発明の範囲および趣旨の範囲内のいかなる変形、変更をも含むものである。

【0043】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 半導体材料上の低誘電率層を、半導体材料の処理の際に保護する方法であって、半導体材料よりなる基板と、前記基板上に任意のエッチング停止層とを設ける工程と、前記半導体材料上に、バルク低誘電率材料を付着する工程と、前記バルク低誘電率材料上に、低誘電率材料よりなる第1のハードマスク層を付着する工程と、前記第1のハードマスク層上に設けられる犠牲的な第2のハードマスク層を付着する工程と、前記半導体材料、前記ハードマスク層、および前記バルク低誘電率材料を連続処理する工程と、前記第2のハードマスク層を除去し、前記バルク低誘電率材料上の前記第1のハードマスク層を永久に残す工程とを含み、前記第1のハードマスク層の材料が、前記バルク低誘電率材料を保護して、連続処理の際にその誘電率の変化を実質的に防ぐようにする、方法。

(2) 第1のハードマスク層を付着する工程は、約2.5～8.0の誘電率を有する低誘電率材料を付着する工程を含む、上記(1)に記載の方法。

(3) 前記第1および第2のハードマスク層を付着する工程は、シリコンナイトライド、シリコンカーバイド、アモルファス水素化シリコンカーバイド、シリコンカーバイドナイトライド、有機シリケートガラス、シリコンリッチオキシライド、二酸化シリコン、テトラエチルオルトシリケート、ホスホシリケート、有機シロキサンポリマー、炭素ドーブシリケートガラス、水素ドーブシリケートガラス、シルセスキオキサンガラス、スピノングラス、またはフッ素化シリケートガラスを付着する工程を含む、上記(2)に記載の方法。

(4) 第1のハードマスク層を付着する工程は、約10～200nmの厚さを有する第1のハードマスク層を付着する工程を含む、上記(1)に記載の方法。

(5) 犠牲的な第2のハードマスク層上に犠牲的な第3のハードマスク層を付着する工程をさらに含み、前記第3のハードマスク層は、連続処理の際に除去される、上記(1)に記載の方法。

(6) 相互接続構造を作製する前記連続処理の工程は、ハードマスク層内およびバルク低誘電率材料内に、開口を形成する工程と、このような開口を金属で充填する工程とを含み、前記基板から前記第1のハードマスク層上の領域への導電接続部を作製する、上記(1)に記載の方法。

(7) 前記相互接続構造内の過剰の金属を除去するための化学機械研磨工程をさらに含み、前記バルク低誘電率材料を、前記第1のハードマスク層によって、誘電率の不所望な増大、漏洩の不所望な増大、およびスクラッチによる歩留まりの減少から保護する、上記(6)に記載の方法。

(8) 前記第1および第2のハードマスク層を付着する工程は、1種類の前駆物質材料を用い、異なる誘電率を有する2つの膜を与えるために、付着条件を変える単一の付着工程を含む、上記(1)に記載の方法。

(9) 前記半導体材料の連続処理工程の際、前記バルク低誘電率材料は、露出されない、上記(1)に記載の方法。

(10) 前記バルク低誘電率材料内に、前記バルク低誘電率材料を、下部と上部とに分離する埋込みエッチング停止層を設ける工程をさらに含む、上記(1)に記載の方法。

(11) 前記バルク低誘電率材料内に、埋込みエッチング停止層を設ける工程において、前記バルク低誘電率材料は、上部と異なる組成を有する下部を含む、上記(10)に記載の方法。

(12) 相互接続構造を形成する方法であって、半導体基板を設ける工程と、前記半導体基板上に、バルク誘電率材料を付着する工程と、前記バルク誘電率材料の誘電率にほぼ同じ誘電率を有する第1のハードマスク層を付着する工程と、前記第1のハードマスク層上に、第2のハードマスク層を付着する工程と、前記第2のハードマ

10

20

30

40

50

スク層上に、第3のハードマスク層を付着する工程と、前記ハードマスク層および前記バルク誘電体材料を経る1つ以上のバイアをエッチングする工程と、前記バイアに導電材料を付着する工程と、過剰の前記導電材料を、前記第3および第2のハードマスク層が同時に除去される化学機械平坦化によって除去する工程と、第1のハードマスク層を残す工程とを含む、方法。

(13) 前記半導体基板と前記バルク誘電体材料との間にエッチング停止層を設ける工程をさらに含み、1つ以上のバイアをエッチングする際、前記エッチング停止層をエッチング除去する工程と、前記バイアに導電材料を付着する前に、前記バイアを洗浄する工程とを含む、上記(12)に記載の方法。

(14) 前記バルク誘電体材料内に埋込エッチング停止層を設ける工程をさらに含み、これにより、前記バルク誘電体材料を、下部と上部とに分離する、上記(12)に記載の方法。

(15) 前記バルク低誘電率材料内に埋込エッチング停止層を設ける工程において、前記バルク低誘電率材料は、上部と異なる組成を有する下部を含む、上記(14)に記載の方法。

(16) 前記バルク誘電率材料内に埋込エッチング停止層を設ける工程は、前記バルク誘電体材料を、下部と上部とに分離する工程を含み、前記上部は、前記下部よりも厚く、1つ以上のバイアをエッチングする前記工程は、前記バルク誘電体材料の上部内の1つ以上のバイアを、前記埋込エッチング停止層までエッチングする工程と、前記埋込エッチング停止層の一部を除去する工程と、前記バルク誘電体材料の下部をエッチングする工程とを含む、上記(14)に記載の方法。

(17) 前記バイアに導電材料を付着する前記工程の前に、前記バイアに拡散バリア材料を付着する工程をさらに含む、上記(12)に記載の方法。

(18) 前記第1、第2、および第3のハードマスク層を付着する前記工程は、前記ハードマスク層の誘電率を変えるために、付着条件を変えながら、1種類の前駆物質を用いるような単一の付着工程で行う、上記(12)に記載の方法。

(19) 前記ハードマスク層を経て、前記バルク誘電体材料まで、1つ以上のラインをエッチングする工程をさらに含む、上記(12)に記載の方法。

(20) バルク誘電体材料が、誘電率の不所望な変化から保護される中間半導体デバイスであって、基板と、前記基板上に設けられたバルク誘電体材料と、前記バルク誘電体材料上に設けられ、前記バルク誘電体とほぼ同じ誘電率を有する第1のハードマスク層と、前記中間半導体デバイス内に相互接続構造を形成する際に除去されるようにした第2のハードマスク層とを備えた、中間半導体デバイス。

(21) 前記第2のハードマスク層上に設けられた第3

のハードマスク層をさらに備え、前記第3のハードマスク層が、前記中間半導体デバイス内に相互接続構造を形成する際に除去されるようにした、上記(20)に記載の中間半導体デバイス。

(22) 前記基板と前記バルク誘電体材料との間に設けられたエッチング停止層をさらに備えた、上記(20)に記載の中間半導体デバイス。

(23) 前記バルク誘電体材料を上部と下部とに分離する埋込エッチング停止層をさらに備え、前記埋込エッチング停止層が、前記バルク誘電体材料の連続エッチングの際に、均一な深さを与えるようにした、上記(20)に記載の中間半導体デバイス。

(24) 相互接続構造を有する半導体基板であって、基板と、前記基板上に設けられたバルク誘電体材料と、前記バルク誘電体材料を、連続処理の際の前記バルク誘電体材料の誘電率の不所望な変化から保護するために、前記バルク誘電体材料とほぼ同じ誘電率を有する材料よりなる第1のハードマスク層と、前記第1のハードマスク層上の領域から、前記第1のハードマスク層および前記バルク低誘電率材料内に形成された開口を経て、前記基板内のコンタクトデバイスまで延びる相互接続構造とを備えた、半導体基板。

(25) 前記ハードマスク層は、約2.5～約8.0の誘電率を有する、上記(24)に記載の半導体基板。

(26) 前記ハードマスク層は、シリコンナイトライド、アモルファス水素化シリコンカーバイド、シリコンカーバイド、シリコンカーバイドナイトライド、有機シリケートガラス、シリコンリッチオキシライド、二酸化シリコン、テトラエチルオルトシリケート、ホスホシリケートガラス、有機シロキサンポリマー、炭素ドーブシリケートガラス、水素ドーブシリケートガラス、シルセスキオキサンガラス、スピノングラス、またはフッ素化シリケートガラスを含む、上記(24)に記載の半導体基板。

(27) 前記ハードマスク層は、約10～200nmの厚さを有する、上記(24)に記載の半導体基板。

(28) 第2のハードマスク層が、前記第1のハードマスク層上に付着され、前記第2のハードマスク層が、相互接続構造の形成の際に除去され、前記デバイス内に前記第1のハードマスク層を永久に残す、上記(24)に記載の半導体基板。

(29) 第2および第3のハードマスク層が、前記第1のハードマスク層上に付着され、前記第2および第3のハードマスク層は、前記相互接続構造の形成の際に除去され、前記デバイス内に前記第1のハードマスク層を永久に残す、上記(28)に記載の半導体基板。

(30) 前記相互接続構造は、前記基板から前記第1のハードマスク層上の領域まで導電接続部を作製するために、前記ハードマスク層内および前記バルク低誘電率材料内に、金属で充填された開口を有する、上記(28)

に記載の半導体基板。

【図面の簡単な説明】

【図 1】本発明の第 1 の好適な実施例に従って、3 層ハードマスクを有するデュアルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

【図 2】本発明の第 1 の好適な実施例に従って、3 層ハードマスクを有するデュアルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

【図 3】本発明の第 1 の好適な実施例に従って、3 層ハードマスクを有するデュアルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

【図 4】本発明の第 1 の好適な実施例に従って、3 層ハードマスクを有するデュアルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

【図 5】本発明の第 1 の好適な実施例に従って、3 層ハードマスクを有するデュアルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

【図 6】本発明の第 1 の好適な実施例に従って、3 層ハードマスクを有するデュアルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

【図 7】本発明の第 1 の好適な実施例に従って、3 層ハードマスクを有するデュアルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

【図 8】本発明の第 1 の好適な実施例に従って、3 層ハードマスクを有するデュアルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

【図 9】本発明の第 1 の好適な実施例に従って、3 層ハードマスクを有するデュアルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

【図 10】本発明の第 1 の好適な実施例に従って、3 層ハードマスクを有するデュアルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

【図 11】本発明の第 2 の好適な実施例に従って、3 層ハードマスクおよび埋込エッチング停止層を有するデュアルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

【図 12】本発明の第 2 の好適な実施例に従って、3 層ハードマスクおよび埋込エッチング停止層を有するデュアルダマシン構造を用いて相互接続構造を形成する方法

を説明する半導体デバイスの断面図である。

【図 13】本発明の第 3 の好適な実施例に従って、2 層ハードマスクを有するデュアルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

【図 14】本発明の第 4 の好適な実施例に従って、2 層ハードマスクおよび埋込エッチング停止層を有するデュアルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

10 【図 15】本発明の第 5 の好適な実施例に従って、3 層ハードマスクを有するシングルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

【図 16】本発明の第 5 の好適な実施例に従って、3 層ハードマスクを有するシングルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

【図 17】本発明の第 6 の好適な実施例に従って、2 層ハードマスクを有するシングルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

20 【図 18】本発明の第 7 の好適な実施例に従って、2 層ハードマスクを有するシングルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

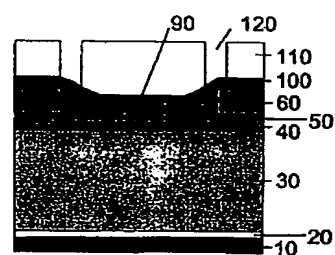
【図 19】本発明の第 7 の好適な実施例に従って、2 層ハードマスクを有するシングルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

30 【図 20】本発明の第 7 の好適な実施例に従って、2 層ハードマスクを有するシングルダマシン構造を用いて相互接続構造を形成する方法を説明する半導体デバイスの断面図である。

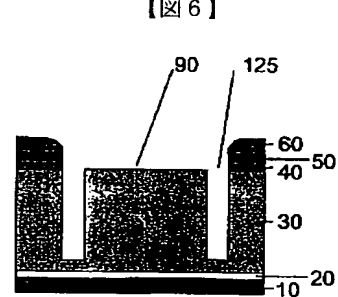
【符号の説明】

- 10 基板
- 20 エッチング停止層
- 30 バルク低誘電率 ILD
- 32, 36 ILD
- 34 埋込みエッチング停止層
- 40 第 1 のハードマスク層
- 50 第 2 のハードマスク層
- 60 第 3 のハードマスク層
- 70, 100 反射防止膜層 (ARC)
- 80, 110 フォトレジスト層
- 90, 120, 200, 210 イメージ
- 125 バイア
- 130 金属
- 135 ライナ
- 150 キャップ層

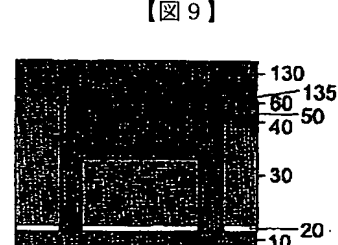
【図 3】



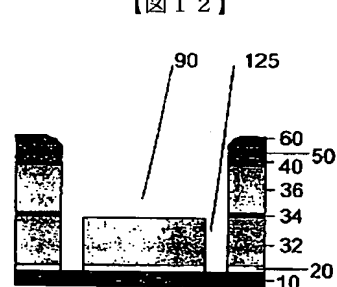
【图 6】



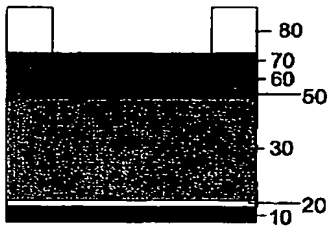
【图 9】



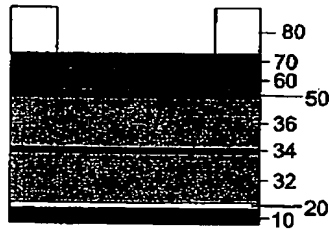
【図 12】



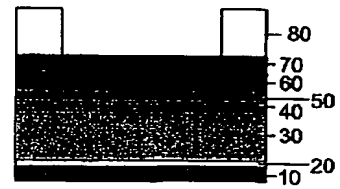
【図 13】



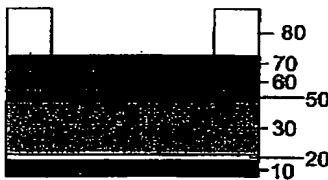
【図 14】



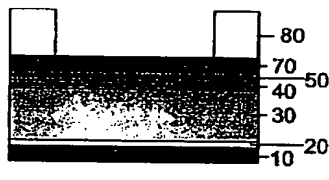
【図 15】



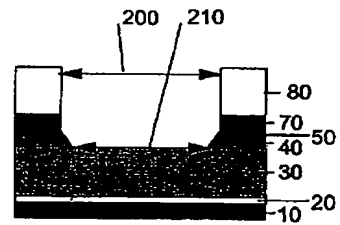
【図 17】



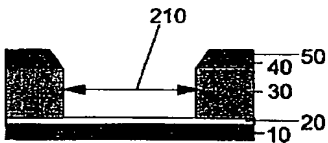
【図 18】



【図 19】



【図 20】



フロントページの続き

- (72)発明者 ティモシー・ジェイ・ダルトン  
アメリカ合衆国 06877 コネチカット州  
リッジフィールド サラ ビショップ  
ロード 72
- (72)発明者 クリストファー・ブイ・ジャーネス  
アメリカ合衆国 07458 ニュージャージー  
州 アッパー サドル リヴァー サン  
ライズ レーン 7
- (72)発明者 ジョイス・シー・リユー  
アメリカ合衆国 12533 ニューヨーク州  
ホープウェル ジャンクション チェル  
シー コブ ディーアール サウス 1007

- (72)発明者 サンパス・プルシヨサマン  
アメリカ合衆国 10598 ニューヨーク州  
ヨークタウン ハイツ ラヴォワ コー  
ト 2075
- Fターム(参考) 4M104 AA01 DD08 DD15 DD16 DD17  
DD19 DD20 EE12 EE20 HH05  
HH20  
5F033 HH08 HH11 HH14 HH18 HH19  
HH21 HH32 HH33 JJ01 JJ08  
JJ11 JJ14 JJ18 JJ19 JJ21  
JJ32 JJ33 KK01 MM02 MM12  
MM13 NN06 NN07 QQ02 QQ09  
QQ10 QQ12 QQ25 QQ28 QQ34  
QQ37 RR01 RR04 RR06 RR11  
RR23 RR25 RR26 SS15 TT04  
WW02 WW09 XX24 XX28 XX34  
5F058 BD02 BD04 BD07 BD10 BF25  
BH12